

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-209468

(43) 公開日 平成10年(1998) 8月7日

(51) Int.Cl.⁶

H 0 1 L 29/786
27/12

識別記号

F I

H 0 1 L 29/78
27/12
29/78

6 2 6 C
C
6 2 6 Z

審査請求 未請求 請求項の数27 O L (全 8 頁)

(21) 出願番号 特願平10-1424

(22) 出願日 平成10年(1998) 1月7日

(31) 優先権主張番号 08/782462

(32) 優先日 1997年1月10日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーション

INTERNATIONAL BUSIN
ESS MACHINES CORPO
RATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72) 発明者 トッド・アラン・クリステンセン

アメリカ合衆国55901 ミネソタ州ロチェ
スタートウェンティーサード・ストリート
ノース・ウェスト 2410

(74) 代理人 弁理士 坂口 博 (外1名)

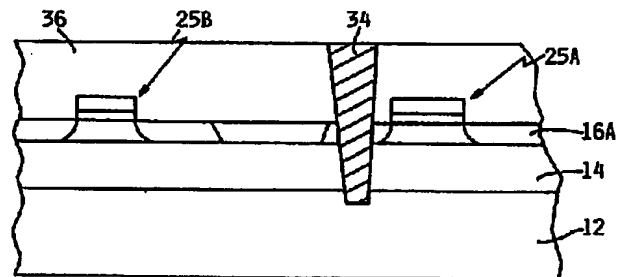
最終頁に続く

(54) 【発明の名称】 SOI半導体デバイス

(57) 【要約】

【課題】 所与の面内の金属配線を減らし、それによっ
て高密度応用例でのデバイス性能を高め、設計の柔軟性
を高める方法およびデバイスを提供する。

【解決手段】 導電性基板と、絶縁層と、不純物でドー
プされ、第1のトランジスタおよび第2のトランジスタ
を形成するシリコン層と、第1のトランジスタと第2の
トランジスタとの間の分離ボリュームと、ドーパされた
シリコン層から基板に延びる導電性スタッドとを有する
半導体デバイスを提供する。



【特許請求の範囲】

【請求項1】 (a) 導電性基板と、

(b) 絶縁層と、

(c) トランジスタを形成するために不純物でドーブしたシリコン層と、

(d) 前記シリコン層と前記基板を電氣的に接続する導電性スタッドとを有する半導体デバイス。

【請求項2】 前記基板が、ドーブされたシリコンを含むことを特徴とする、請求項1に記載のデバイス。

【請求項3】 前記絶縁層が、シリコン酸化物を含むことを特徴とする、請求項1に記載のデバイス。

【請求項4】 前記トランジスタがトランジスタ本体を有し、前記スタッドが前記トランジスタ本体に隣接して位置することを特徴とする、請求項1に記載のデバイス。

【請求項5】 前記トランジスタがトランジスタ本体を有し、前記スタッドと前記トランジスタ本体が電氣的に接触していることを特徴とする、請求項1に記載のデバイス。

【請求項6】 前記スタッドが、タングステンを含むことを特徴とする、請求項4または請求項5に記載のデバイス。

【請求項7】 前記基板が、アースを有することを特徴とする、請求項1に記載のデバイス。

【請求項8】 前記基板が、電源を有することを特徴とする、請求項1に記載のデバイス。

【請求項9】 前記ドーブされたシリコン層を覆って形成された誘電体層をさらに有することを特徴とする、請求項1に記載のデバイス。

【請求項10】 前記誘電体層が、前記導電性スタッドの一部分を露出したまま残すことを特徴とする、請求項9に記載のデバイス。

【請求項11】 前記シリコン層内の前記不純物が、前記絶縁層と接触しないことを特徴とする、請求項1または請求項5に記載のデバイス。

【請求項12】 前記基板が、リン、アンチモン、ヒ素およびそれらの混合物から成るグループから選ばれたn型ドーパントでドーブされていること、ならびに前記トランジスタがpチャネルを有し、前記導電性スタッドが、前記基板と前記トランジスタを電氣的に接続していることを特徴とする、請求項2に記載のデバイス。

【請求項13】 前記基板が、ホウ素を含むp型ドーパントでドーブされていること、ならびに前記トランジスタがnチャネルを有し、前記導電性スタッドが、前記基板と前記トランジスタを電氣的に接続していることを特徴とする、請求項2に記載のデバイス。

【請求項14】 前記基板が、ホウ素を含むp型ドーパントでドーブされていること、ならびに前記トランジスタがpチャネルを有し、前記導電性スタッドが、前記基板と前記トランジスタを電氣的に接続していることを特徴とする、請求項2に記載のデバイス。

【請求項15】 前記基板が、アンチモン、ヒ素、リン、およびそれらの混合物から成るグループから選ばれたn型ドーパントでドーブされていること、ならびに前記トランジスタがnチャネルを有し、前記導電性スタッドが、前記基板と前記トランジスタを電氣的に接続していることを特徴とする、請求項2に記載のデバイス。

【請求項16】 (a) 導電性基板と、

(b) 絶縁層と、

(c) 不純物でドーブされ、第1のトランジスタおよび第2のトランジスタを形成するシリコン層と、

(d) 前記第1のトランジスタと前記第2のトランジスタとの間の分離ポリウムと、

(e) 前記ドーブされたシリコン層から前記基板に延びる導電性スタッドとを有することを特徴とする半導体デバイス。

【請求項17】 前記基板が、ドーブされたシリコンを含むことを特徴とする請求項16に記載のデバイス。

【請求項18】 前記絶縁層が、二酸化シリコンを含むことを特徴とする、請求項16に記載のデバイス。

【請求項19】 前記第1のトランジスタがトランジスタ本体を有し、前記導電性スタッドが前記トランジスタ本体に隣接して位置することを特徴とする、請求項16に記載のデバイス。

【請求項20】 前記第1のトランジスタがトランジスタ本体を有し、前記スタッドと前記トランジスタ本体が電氣的に接触していることを特徴とする、請求項16に記載のデバイス。

【請求項21】 前記スタッドが、タングステンを含むことを特徴とする、請求項19または請求項20に記載のデバイス。

【請求項22】 前記のドーブされたシリコン層を覆って形成された誘電体層をさらに有することを特徴とする、請求項16に記載のデバイス。

【請求項23】 前記誘電体層が、前記導電性スタッドの一部分を露出したまま残すことを特徴とする請求項22に記載のデバイス。

【請求項24】 前記第1のトランジスタを形成する前記シリコン層内の前記不純物が、前記絶縁層と接触しないことを特徴とする、請求項16または請求項20に記載のデバイス。

【請求項25】 前記導電性基板がアースを有し、前記第1のトランジスタがpチャネルFETを有し、前記第2のトランジスタがnチャネルFETを有すること、ならびに前記pチャネルFETと前記nチャネルFETが、酸化シリコンの分離ポリウムによって分離されており、前記導電性スタッドが、前記nチャネルFETのソースを前記アースに電氣的に接続することを特徴とする、請求項16に記載のデバイス。

【請求項26】 前記導電性基板が電源を有し、前記第1のトランジスタがpチャネルFETを有し、前記第2の

3

トランジスタがnチャネルFETを有すること、ならびに前記pチャネルFETと前記nチャネルFETが、酸化シリコンの分離ポリウムによって分離されており、前記導電性スタッドが、前記pチャネルFETのソースを前記電源に電気的に接続することの特徴とする、請求項16に記載のデバイス。

【請求項27】第1の導電性スタッドおよび第2の導電性スタッドを有し、前記第1のトランジスタが、前記第1の導電性スタッドによって前記基板に電気的に接続されており、前記第2のトランジスタが、前記第2の導電性スタッドによって前記基板に電気的に接続されていることを特徴とする、請求項16に記載のデバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】一般に本発明は、電源およびアース用の表面配線を減少させたデバイスに関する。より詳細には、本発明は、電源およびアース用の電圧面としてバルク・シリコン基板を使用するSOI（シリコン・オン・インシュレータ）デバイスに関する。

【0002】

【従来の技術】半導体加工は、より高いコンピューティング性能を有するますます小型化したデバイスを製造する方向へと進んできた。デバイス寸法の小型化とパワーの増大は、所与の単位面積中のトランジスタ密度を増大させた。SOI加工技術などの先端の半導体製造技術では、トランジスタのソースやドレインなどのデバイス構成要素中で抵抗が大幅に増大するため、金属配線への要件が増す傾向にある。

【0003】アレイなど特定の応用例では、その応用例を完全に実施するために必要な配線の量がしばしば大きな影響を及ぼす。半導体デバイスの配線は一般に、多重面に形成される。多数のデバイスを高密度パターンで構成する場合には特にそうである。所与のデバイス面内の金属配線は、その面の利用可能な表面積を減らし、デバイス性能に厳しい制限を課すこともある。これらの問題は、優れた性能を有するより小型でより高密度に集積したデバイスを製造するという全体的な目的の根底を揺るがすものである。

【0004】SOI加工技術の例示的な従来の刊行物には、イワマツ（Iwamatsu）の米国特許第5294821号がある。イワマツは、ブレークダウン電圧の低減を含めてより均一な電気的特性の提供を目的とするSOI技術を開示している。この特許は、デバイスの電気的特性を安定させるために基板内に拡散させたアクティブ層を有する、デバイスを提案している。

【0005】タイソン（Tyson）他の米国特許第5145802号は、絶縁層上に配置されたトランジスタ本体への局所的オーム接触を提供する1組の埋込み体連結部を有するSOI回路を開示している。これは、衝撃イオン化によって生じた正孔の経路を提供し、かつ基板とト

4

ランジスタのソースとの間の潜在的シールドとして働くことを目的としている。

【0006】カン（Kang）他の米国特許第5286670号は、電気的特性を有する埋込み要素を備える半導体デバイスを製造する方法を開示している。この特許は、基板内であって、SOI領域となるシリコンに基板を結合する複合システム埋込み電気要素を使用する。埋込み要素の例示的な用途の1つが、記憶セル内のキャパシタである。

10 【0007】しかしこれらの刊行物は、デバイス密度の増大に伴って生じる問題の多くを対象としていず、あるいは解決していない。実際、これらの刊行物には、カンらの刊行物などのように、配線密度の問題を解決することなく、デバイス製造の複雑さを増大させているものもある。

【0008】

20 【発明が解決しようとする課題】その結果、所与の面内の金属配線を減らし、それによって高密度応用例でのデバイス性能を高め、設計の柔軟性を高める方法およびデバイスが求められている。

【0009】

【課題を解決するための手段】本発明の一態様によれば、導電性基板と、絶縁層と、トランジスタを形成するために不純物でドーピングしたシリコン層と、シリコン層の一部分と基板の一部分を電気的に接続する導電性スタッドとを有する半導体デバイスが提供される。

30 【0010】本発明の追加の態様によれば、導電性基板と、絶縁層と、不純物でドーピングした、第1のトランジスタおよび第2のトランジスタを形成するシリコン層と、第1のトランジスタと第2のトランジスタの間の分離ポリウムと、ドーピングされたシリコン層から基板へと延びる導電性スタッドとを有する半導体デバイスが提供される。

40 【0011】本発明の代表的な一実施形態では、バルク・シリコン基板を、電界効果トランジスタ（FET）などの半導体デバイスのアースまたは電源として使用する。より好ましい態様では、本発明は、通常の厚さのバルク・シリコン・ウェーハから製作した高濃度にドーピングした基板を利用する。基板は、接地面または電源（V_dd面等）のいずれとしても機能することができる。このようにして、基板で、配電用金属配線の非常に大きな部分が不要になる。

【0012】例えば、本発明によると、電気的に接地した全てのトランジスタ・デバイスをバルク・シリコン基板に接続することによって、接地線の大部分が不要になる。この接続を埋込み導電性スタッドを使って行うことができる。一般に導電性スタッドは、アクティブ・シリコン層から絶縁層を貫いて延び、その下方の厚く、低抵抗率のバルク・シリコン基板に電気的に接触する。

50 【0013】SOI技術とともに従来の加工技術、デ

バイスの製造全体を通じて使用することができる。得られるデバイスは、それぞれのトランジスタ領域と高導電性のバルク・シリコン基板との間に電気的接続を有する。その結果、基板は、デバイス間の低抵抗導体として機能する。外部のアースまたは電源から基板への単一の金属接続を、多数のデバイスに使用することができる。デバイス表面に数ミリメートルごとにする接続によって、デバイス表面の配線密度を減少させることもでき、アースあるいは配電のために以前使用していた配線を減らすことができる。

【0014】絶縁層は、有効な自由キャリアが多くないため、従来のSOI技術は、ドレイン容量の大部分、およびこれより程度は劣るものの、ゲート容量を減少させる。しかし動作中に、トランジスタ内のキャリアの流れ、および抵抗による発熱がゲートに生じるおそれがある。トランジスタ本体が電気的に浮動することが許される場合には、トランジスタを含む望ましくない浮動体効果、あるいはヒステリシスおよびしきい値の移動が起こる可能性がある。残留キャリアがデバイスにかかる電気的バイアスは、トランジスタ本体のチャネルの深さを浅くし、これによって性能が影響を受ける。本発明の代替実施形態は、チャネルから接地面またはV_d面への低抵抗経路、ならびに浮動体および熱の影響を低減する熱の排出路を提供する。

【0015】

【発明の実施の形態】本発明は、導電性基板と、絶縁層と、少なくとも1つの半導体デバイスを形成するために不純物をドーブしたシリコン層と、導電性スタッドとを有する半導体デバイスである。導電性スタッドは、シリコン層と基板を電気的に接続する。

【0016】本発明は、当業者に周知のあらゆる種類のデバイスに応用できる。さらに、半導体加工に向くあらゆる材料を使用することができる。本発明の好ましい一形態によれば、本発明は、電界効果トランジスタ・デバイスの製造にSOI加工技術とともに使用することができる。この実施形態によれば、本発明のデバイスは、当業者に周知のあらゆる加工法で製作することができる。本発明は、アクティブ・シリコン層内に画定された1つまたは複数のトランジスタを有するデバイスを含めてあらゆるデバイスに使用できる。図示のように、例示的な一実施形態では図1ないし図11を通してシリコン上に2つのトランジスタが形成される。

【0017】準備段階として、シリコン基板12を使用することができる。シリコン基板12は、標準的なシリコン・ウェーハ10の形状をとってもよく、それを加工して絶縁層14を形成する(図1)。あらゆる絶縁層が使用できるが、好ましい化合物として二酸化シリコン(SiO₂)があげられる。SiO₂は、例示的な速度、約1×10¹⁸ atoms/cm²酸素でウェーハに注入することができる。ウェーハを約900℃の温度に

加熱して、厚さが0.2~0.7μm、好ましくは0.5μmの絶縁層を作成する。同時に、厚さが0.1~4μm、好ましくは0.2μmのアクティブ・シリコン層16を形成させる。基板12の残りの部分は、厚さ約625μmである。アクティブ・シリコン層は、シリコン・ウェーハ10に酸素を注入する段階と、この系をアニールして3層間で結晶構造を再整列させる段階によって形成される。絶縁層は、二酸化シリコンなどのシリコン酸化物を含む。二酸化シリコン(SiO₂)は、顕著な誘電体性能を有することを特徴とする。SiO₂の比誘電率は約3.9である。

【0018】基板12は一般に導電性であり、アースまたは電源として使用することができる。本発明のコンテキストでは、基板12を電源として使用することは、基板12が、外部電源、すなわち基板12以外のものからの定圧の電圧バイアスを提供していることを意味する。一般に基板は、ドーパントを使って導電性となることができる。一般に、基板をn型にする場合には、ドーパントは例えばリン、アンチモン、またはヒ素を含む。基板をp型にする場合には、ドーパントは一般にホウ素、または基板12にこのイオン性の性質を作り出す能力を持つその他の原子種を含む。

【0019】イオン注入は、1立方センチメートルあたり約1×10¹⁶~3×10²¹原子、好ましくは約5×10¹⁹~1×10²¹原子を供給する速度で実施する。ドーピング終了後、ウェーハの抵抗率約0.01~0.1オーム/cmに対して、基板12は、約10オーム/平方未満、好ましくは2オーム/平方未満の抵抗を有することが好ましい。

【0020】次いで、分離ポリウム18を、第1および第2のトランジスタ用の2つのサイト間に従来の手段で形成する(図2)。フォトレジストを現像し、分離ポリウム18となるべきポリウムを覆う部分のフォトレジストを取り去る。次いで、分離ポリウム内の露出したアクティブ・シリコンをエッチングによって除去する。標準的なデバイス製造工程により、アクティブ・シリコンを二酸化シリコンの絶縁層14までエッチングする。例示的なエッチャントとしては、高い選択性を提供する四塩化炭素がある。次いでこの開口を、材料をコンフォーマルに付着させるCVDなどの標準的なバルク加工法を使って二酸化シリコンなどの絶縁性材料で埋め戻して、分離ポリウム18に作り変える。

【0021】次いで、各トランジスタのゲートを形成することができる。そのために、フォトリソグラフィ・マスクを除去し、二酸化シリコン20Aおよび20Bなどの酸化物を通常の製造工程によってアクティブ・シリコン上に形成する(図3)。酸化物20Aおよび20Bを形成する一方法は、従来の水蒸気酸化工程により、標準的な条件、すなわち900℃~1100℃、約20分間で実施するものである。通常、二酸化シリコンの厚さは

約20～100オングストロームの範囲にあり、典型的な厚さは約50Åである。

【0022】次に、トランジスタ・ゲートを完成させるため、ポリシリコン層22を、二酸化シリコン20Aおよび20Bを覆って約2000オングストロームの厚さに付着させる。この付着もまた、標準的な加工法、例えばシランをソース・ガスとし約700℃で行うCVDなどにより、完成させることができる。

【0023】次いで、ポジ型フォトリソグラフィを付着させ、これをパターン化して、ポリシリコン層からゲート導体24Aおよび24Bを形成することができる。同時に、二酸化シリコン層20Aおよび20Bを除去してしまってもよい。次に、注入マスク26を形成する(図6)。この注入マスクによって、n型またはp型イオンを注入して、第1のトランジスタ25Aのソース領域およびドレイン領域を形成することが可能となる(図7)。次にこの工程を繰り返して、第2のトランジスタ25Bの注入領域、すなわち、ソース領域30Aおよびドレイン領域30Bを形成する。

【0024】第1のトランジスタ25Aまたは第2のトランジスタ25Bのソースおよびドレインを形成する際には、通常、イオンを目的の領域に拡散して、アクティブ・シリコン16Aおよび16Bと二酸化シリコンの絶縁層14との界面まで達させる。別法として、形成されたソースおよびドレインのイオン拡散ボリュームを、アクティブ・シリコン層の途中までしか侵入させないことも可能である(図8参照)。

【0025】動作に当たっては、この部分的拡散は、トランジスタ本体32Aおよび32Bに関連して非常に明確な特性を与える。アクティブ・シリコン層16Aおよび16Bに部分的にのみ侵入する程度にイオンを拡散させると、導電性スタッド34が後で占めることになる領域にまでトランジスタ本体が延長される(図9、図10)。この実施形態では、導電性スタッドは、トランジスタ本体で発生する可能性のある抵抗による熱の排出路となる。導電性スタッドはまた、自由キャリアの排出路となり、これにより、トランジスタの浮動体効果は減少する。

【0026】トランジスタ・デバイスを形成した後は、平坦化された誘電体36を、デバイス25Aおよび25Bの表面を覆って付着させることができる。誘電体36は、デバイスを安定化する機能を有し、デバイスを電気的に分離し、以後の加工のためにデバイスを安定化させる。

【0027】次に、デバイスをマスクして、導電性スタッド34を形成する(図9)。スタッド34は、アクティブ・シリコン層内に形成されたデバイス25Aのソースと基板12との間を接続する働きをする。スタッド34は通常、タングステン、アルミニウム、銅またはドーパされた導電性シリコンなどあらゆる導電材料を含むこ

とができる。スタッド用の開口は、アルゴン・ガス中での高圧スパッタ・エッチングなどの標準的な加工技術を用いて、一連の選択的または非選択的なエッチャントを使って形成することができる。

【0028】使用するエッチャントは、非選択的であつ異方性であることが望ましい。異方性のエッチャントは、基板に向かって直接下方へ食刻するが、水平面内では実質的に食刻しない。導電性スタッド34用の開口は、基板12とデバイス25Aとを電気的に接続するのに必要な深さ、通常は約1μmの深さまで、基板内に延びる。図9に示すアース接続に加えて、スタッド34を、1つあるいは複数のP+領域30デバイスを基板を介して電源に接続するのに使用することもできる(図11)。次いで、誘電体の追加層38をデバイス上に付着させることができる。

【0029】導電性スタッド34用の開口を形成した後、この開口を、周囲の酸化物への接着力を高めるチタンやチタン窒化物などの材料でコーティングする。この材料は開口の壁に接着する。次に、タングステンなどの導電材料を開口内に導入する。CVDまたはスパッタリングによって開口内にコンフォーマルに置いてよい。

【0030】本発明の別の実施形態では、トランジスタ本体32Aとスタッド34との接触を可能にするような方法で、導電性スタッド34を形成することができる(図10)。本発明のこの実施形態は、熱エネルギーおよびキャリアの排出路を形成することにより、図8に示したデバイスの利点の多くを提供する。

【0031】前述の明細、例およびデータは、本発明の構成の製造および使用の完全な記述である。本発明の多くの実施形態は、本発明の趣旨および範囲から逸脱することなく実施することができるので、本発明は、冒頭の特許請求の範囲に存する。

【0032】まとめとして、本発明の構成に関して以下の事項を開示する。

【0033】(1) (a) 導電性基板と、(b) 絶縁層と、(c) トランジスタを形成するために不純物でドーパしたシリコン層と、(d) 前記シリコン層と前記基板を電気的に接続する導電性スタッドとを有する半導体デバイス。

(2) 前記基板が、ドーパされたシリコンを含むことを特徴とする、上記(1)に記載のデバイス。

(3) 前記絶縁層が、シリコン酸化物を含むことを特徴とする、上記(1)に記載のデバイス。

(4) 前記トランジスタがトランジスタ本体を有し、前記スタッドが前記トランジスタ本体に隣接して位置することを特徴とする、上記(1)に記載のデバイス。

(5) 前記トランジスタがトランジスタ本体を有し、前記スタッドと前記トランジスタ本体が電気的に接触していることを特徴とする、上記(1)に記載のデバイス。

(6) 前記スタッドが、タングステンを含むことを特徴

10

20

30

40

50

とする、上記(4)または上記(5)に記載のデバイス。

(7) 前記基板が、アースを有することを特徴とする、上記(1)に記載のデバイス。

(8) 前記基板が、電源を有することを特徴とする、上記(1)に記載のデバイス。

(9) 前記ドーパされたシリコン層を覆って形成された誘電体層をさらに有することを特徴とする、上記(1)に記載のデバイス。

(10) 前記誘電体層が、前記導電性スタッドの一部分を露出したまま残すことを特徴とする、上記(9)に記載のデバイス。

(11) 前記シリコン層内の前記不純物が、前記絶縁層と接触しないことを特徴とする、上記(1)または上記(5)に記載のデバイス。

(12) 前記基板が、リン、アンチモン、ヒ素およびそれらの混合物から成るグループから選ばれたn型ドーパントでドーパされていること、ならびに前記トランジスタがpチャネルを有し、前記導電性スタッドが、前記基板と前記トランジスタを電氣的に接続していることを特徴とする、上記(2)に記載のデバイス。

(13) 前記基板が、ホウ素を含むp型ドーパントでドーパされていること、ならびに前記トランジスタがnチャネルを有し、前記導電性スタッドが、前記基板と前記トランジスタを電氣的に接続していることを特徴とする、上記(2)に記載のデバイス。

(14) 前記基板が、ホウ素を含むp型ドーパントでドーパされていること、ならびに前記トランジスタがpチャネルを有し、前記導電性スタッドが、前記基板と前記トランジスタを電氣的に接続していることを特徴とする、上記(2)に記載のデバイス。

(15) 前記基板が、アンチモン、ヒ素、リン、およびそれらの混合物から成るグループから選ばれたn型ドーパントでドーパされていること、ならびに前記トランジスタがnチャネルを有し、前記導電性スタッドが、前記基板と前記トランジスタを電氣的に接続していることを特徴とする、上記(2)に記載のデバイス。

(16) (a) 導電性基板と、(b) 絶縁層と、(c) 不純物でドーパされ、第1のトランジスタおよび第2のトランジスタを形成するシリコン層と、(d) 前記第1のトランジスタと前記第2のトランジスタとの間の分離ボリュームと、(e) 前記ドーパされたシリコン層から前記基板に延びる導電性スタッドとを有することを特徴とする半導体デバイス。

(17) 前記基板が、ドーパされたシリコンを含むことを特徴とする上記(16)に記載のデバイス。

(18) 前記絶縁層が、二酸化シリコンを含むことを特徴とする、上記(16)に記載のデバイス。

(19) 前記第1のトランジスタがトランジスタ本体を有し、前記導電性スタッドが前記トランジスタ本体に隣

接して位置することを特徴とする、上記(16)に記載のデバイス。

(20) 前記第1のトランジスタがトランジスタ本体を有し、前記スタッドと前記トランジスタ本体が電氣的に接触していることを特徴とする、上記(16)に記載のデバイス。

(21) 前記スタッドが、タングステンを含むことを特徴とする、上記(19)または上記(20)に記載のデバイス。

(22) 前記のドーパされたシリコン層を覆って形成された誘電体層をさらに有することを特徴とする、上記

(16)に記載のデバイス。

(23) 前記誘電体層が、前記導電性スタッドの一部分を露出したまま残すことを特徴とする上記(22)に記載のデバイス。

(24) 前記第1のトランジスタを形成する前記シリコン層内の前記不純物が、前記絶縁層と接触しないことを特徴とする、上記(16)または上記(20)に記載のデバイス。

(25) 前記導電性基板がアースを有し、前記第1のトランジスタがpチャネルFETを有し、前記第2のトランジスタがnチャネルFETを有すること、ならびに前記pチャネルFETと前記nチャネルFETが、酸化シリコンの分離ボリュームによって分離されており、前記導電性スタッドが、前記nチャネルFETのソースを前記アースに電氣的に接続することを特徴とする、上記(16)に記載のデバイス。

(26) 前記導電性基板が電源を有し、前記第1のトランジスタがpチャネルFETを有し、前記第2のトランジスタがnチャネルFETを有すること、ならびに前記pチャネルFETと前記nチャネルFETが、酸化シリコンの分離ボリュームによって分離されており、前記導電性スタッドが、前記pチャネルFETのソースを前記電源に電氣的に接続することを特徴とする、上記(16)に記載のデバイス。

(27) 第1の導電性スタッドおよび第2の導電性スタッドを有し、前記第1のトランジスタが、前記第1の導電性スタッドによって前記基板に電氣的に接続されており、前記第2のトランジスタが、前記第2の導電性スタッドによって前記基板に電氣的に接続されていることを特徴とする、上記(16)に記載のデバイス。

【図面の簡単な説明】

【図1】本発明の一実施形態による、SOIデバイス形成の第1ステージの断面図である。

【図2】図1に示したSOIデバイス形成の図1に続くステージの追加断面図である。

【図3】図1に示したSOIデバイス形成の図2に続くステージの追加断面図である。

【図4】図1に示したSOIデバイス形成の図3に続くステージの追加断面図である。

11

12

【図5】図1に示したSOIデバイス形成の図4に続くステージの追加断面図である。

【図6】図1に示したSOIデバイス形成の図5に続くステージの追加断面図である。

【図7】本発明による、図1ないし図6に示したSOI加工技術により形成した半導体デバイスの一実施形態の断面図である。

【図8】本発明による、図1ないし図6に示したSOI加工技術により形成した半導体デバイスの代替実施形態の断面図である。

【図9】本発明の一実施形態による、導電性スタッドを有する半導体デバイスの断面図である。

【図10】本発明の代替実施形態に基づく、導電性スタッドを有する半導体デバイスの断面図である。

【図11】本発明の他の代替実施形態に基づく、導電性スタッドを有する半導体デバイスの断面図である。

【符号の説明】

10 シリコン・ウェーハ

12 シリコン基板

14 絶縁層

16 アクティブ・シリコン層

16A アクティブ・シリコン層

16B アクティブ・シリコン層

18 分離ポリウム

20A 二酸化シリコン

20B 二酸化シリコン

22 ポリシリコン層

22A ポリシリコン層

22B ポリシリコン層

24A ゲート導体

24B ゲート導体

10 25A 第1のトランジスタ

25B 第2のトランジスタ

26 注入マスク

28A イオン拡散ポリウム

28B イオン拡散ポリウム

30A ソース領域

30B ドレイン領域

32A トランジスタ本体

32B トランジスタ本体

34 導電性スタッド

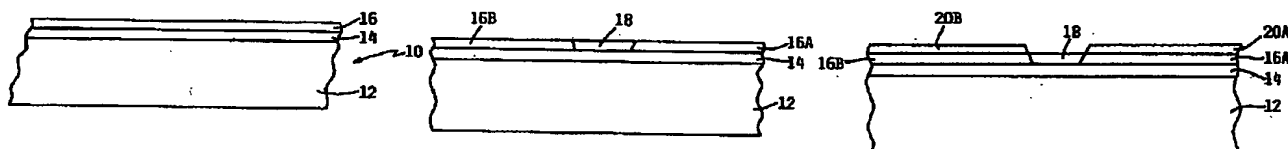
20 36 誘電体

38 追加誘電体層

【図1】

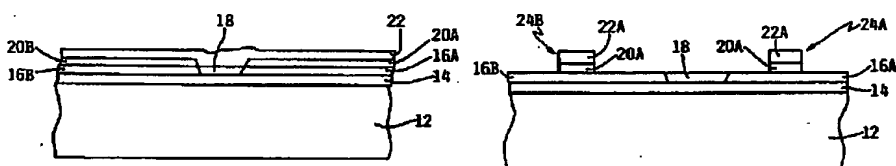
【図2】

【図3】



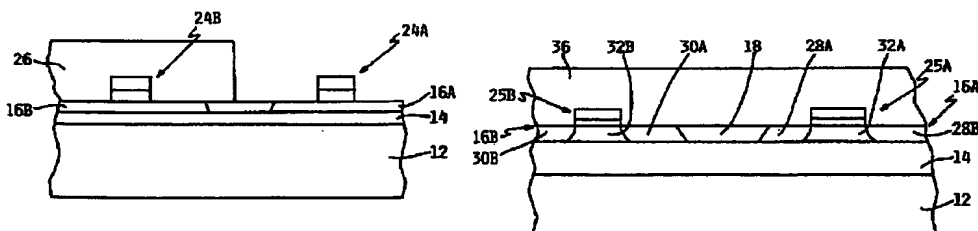
【図4】

【図5】

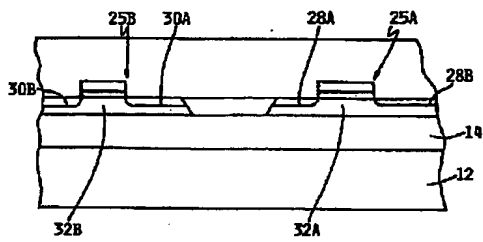


【図6】

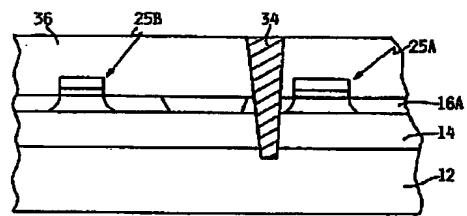
【図7】



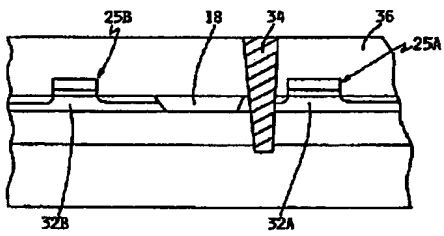
【図8】



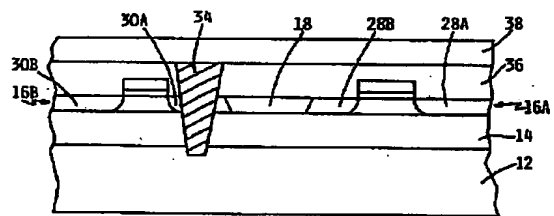
【図9】



【図10】



【図11】



フロントページの続き

(72) 発明者 ジョン・シート
 アメリカ合衆国55992 ミネソタ州ザンブ
 ロータワンハンドレッドアンドシックスステ
 イース・アベニュー 46505